

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-176262

(43)Date of publication of application : 29.06.2001

(51)Int. Cl.

G11C 7/00

(21)Application number : 11-360248

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 20.12.1999

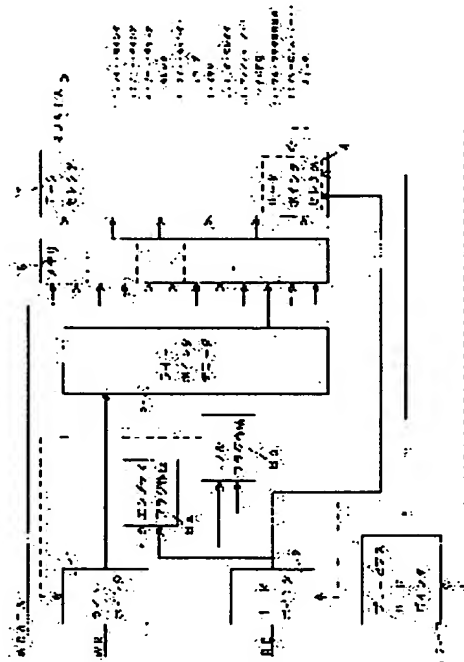
(72)Inventor : MIYAMOTO YUICHIRO  
MASUNO TAKASHI

## (54) ASYNCHRONOUS FIFO CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a FIFO circuit capable of surely writing/reading data without any malfunction and having a simple circuit configuration.

**SOLUTION:** When data WDATA are written at the address of a memory 6 indicated by a write pointer 1, the pointer 1 adds one unless the memory 6 is in a full state. When data RDATA are read out from the address of the memory 6 indicated by a read pointer 2, the pointer 2 and a previous read pointer 12 add one unless the memory 6 is not in an empty state. However, the address indicated by the pointer 12 is one address this side of the address indicated by the pointer 2. The empty state is detected when the addresses indicated by the pointers 1 and 2 are coincident with each other. The full state is detected when the addresses indicated by the pointers 1 and 12 are coincident with each other.



~ COPY OF PAPERS  
ORIGINALLY FILED

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-176262

(P2001-176262A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl.

G11C 7/00

識別記号

318

F I

G11C 7/00

テマート(参考)

318A

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号

特願平11-360248

(22) 出願日

平成11年12月20日 (1999. 12. 20)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 宮本 裕一郎

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 増野 貴司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100097445

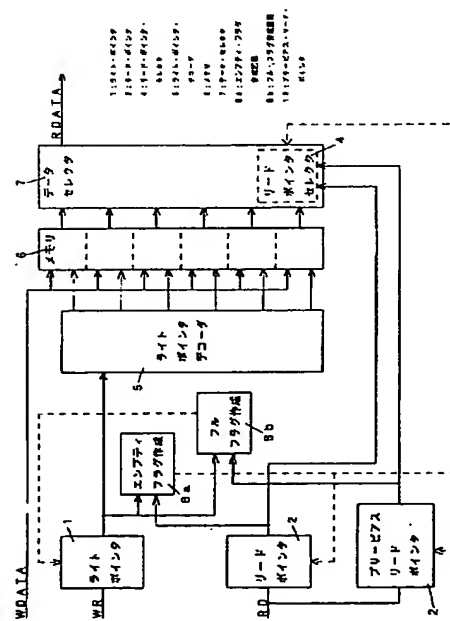
弁理士 岩橋 文雄 (外 2 名)

(54) 【発明の名称】 非同期 F I F O 回路

(57) 【要約】

【課題】 データの書き込み、読み出しを誤動作することなく確実に行うことかできる回路構成の簡単な F I F O 回路を提供すること。

【解決手段】 ライト・ポインタ1が示すメモリ6のアドレスにデータ W D A T A が書き込まれた時、ライト・ポインタ1は、メモリ6がフル状態でない限り、1加算する。リード・ポインタ2が示すメモリ6のアドレスからデータ R D A T A が読み出された時、リード・ポインタ2とブリービース・リード・ポインタ12は、メモリ6がエンプティ状態でない限り、1加算する。但し、ブリービース・リード・ポインタ12が示すアドレスは、リード・ポインタ2が示すアドレスの、1つ手前である。ライト・ポインタ1とリード・ポインタ2の一致でエンプティ状態を検出する。ライト・ポインタ1とブリービース・リード・ポインタ12の一致でフル状態を検出する。



## 【特許請求の範囲】

【請求項1】Nを整数として2<sup>N</sup>ワードのアドレスを持つメモリと、前記メモリがフル状態でない場合、前記メモリヘデータの書き込みが完了した時に1加算するライト・ポインタと、前記メモリがエンブティ状態でない場合、前記メモリからデータの読み出しが完了した時に1加算するリード・ポインタと、前記メモリがエンブティ状態でない場合、前記メモリからデータの読み出しが完了したときに1加算し、常に前記リード・ポインタの値から1減算した値を出力するブリービース・リード・ポインタと、前記ライト・ポインタの値と前記リード・ポインタの値の一致により前記メモリのエンブティ状態を検出するエンブティ・フラグ作成回路と、前記ライト・ポインタの値と前記ブリービース・リード・ポインタの値の一致により前記メモリのフル状態を検出するフル・フラグ作成回路と、前記ライト・ポインタの値をデコードしたアドレスへのみデータの書き込みを許可するライト・ポインタ・デコーダと、前記リード・ポインタの値をデコードしたアドレスからのデータを選択するデータ・セレクトとを備えた非同期F I F O回路。

【請求項2】メモリがエンブティ状態である場合に限り、リード・ポインタに代わってブリービース・リード・ポインタの値をデコードしたアドレスからのデータを選択するデータ・セレクトを備えたことを特徴とする請求項1に記載の非同期F I F O回路。

【請求項3】外部から与えられる書き込み信号の前縁でフル・フラグ作成回路の出力をラッチし、それがフル状態を示していない場合、前記書き込み信号の後縁で1加算するライト・ポインタを備えたことを特徴とする請求項1または請求項2に記載の非同期F I F O回路。

【請求項4】外部から与えられる読み出し信号の前縁でエンブティ・フラグ作成回路の出力をラッチし、それがエンブティ状態を示していない場合、前記読み出し信号のリード・クロックの後縁で1加算するリード・ポインタおよびブリービース・リード・ポインタを備えたことを特徴とする請求項1または請求項2に記載の非同期F I F O回路。

【請求項5】ライト・ポインタおよびリード・ポインタおよびブリービース・リード・ポインタをグレイ・コード・カウンタにより構成したことを特徴とする請求項1、2、3または請求項4に記載の非同期F I F O回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はF I F O回路（F i r s t I n F i r s t O u t回路、以下、F I F O回路と称す）に関し、特に、本発明は、クロック信号を用いずに書き込み、読み出し動作を確実に行うことができ、しかも内部にエラー状態を持つことがない回路構成の簡単な非同期F I F O回路に関するものである。

## 【0002】

【従来の技術】従来から、メモリと、そのメモリへの書き込みアドレスを定めるライト・ポインタと、そのメモリからの読み出しアドレスを定めるリード・ポインタとを備え、上記ライト・ポインタとリード・ポインタの一致／不一致を検出して、メモリのフル／エンブティ状態を検出することにより、データの書き込み、読み出しを制御するF I F O回路が知られている（例えば、特開昭60-262242号公報参照）。さらに特開平6-28840号公報には、上記特開昭60-262242号公報により公知となるF I F O回路が持つ欠点、すなわち、フル／エンブティ状態を検出する回路が比較的複雑になるとともに、データの書き込み、読み出しをクロック信号に同期させて行っているため、データの書き込み、読み出し時、特に、書き込み信号、読み出し信号が同時に発生した場合等において、その動作が不安定になるという欠点を改善したF I F O回路が公知となっている。

## 【0003】

【発明が解決しようとする課題】ところが特開平6-28840号公報により公知となるF I F O回路にあっては、内部にジョンソン・カウンタを含むために、原理的に自己回復不能なエラー状態ないしは未定義状態を内部に持ちうるという課題がある。そのためにエラー状態を検出してポインタをリセットする回路を内蔵せざるを得ないという不都合がある。また、メモリのワード数分だけのフリップフロップを状態保持用に持つため、容量の大きなメモリを使用する場合には、状態保持用のフリップフロップの数が莫大なものになるという課題がある。

【0004】本発明は上記した従来技術の課題を解決するためになされたものであり、特開平6-28840号公報により公知となるF I F O回路とは異なる構成によって、データの書き込み、読み出しを安定に行うことができ、また、より簡単な回路構成により、メモリのフル／エンブティ状態を検出することができ、しかも内部にエラー状態を持つことがないF I F O回路を提供することを目的とする。

## 【0005】

【課題を解決するための手段】上記課題を解決するため、本発明の請求項1の発明は、Nを整数として2<sup>N</sup>ワードのアドレスを持つメモリと、メモリがフル状態でない場合、メモリヘデータの書き込みが完了した時に1加算するライト・ポインタと、メモリがエンブティ状態でない場合、メモリからデータの読み出しが完了した時に1加算するリード・ポインタと、メモリがエンブティ状態でない場合、メモリからデータの読み出しが完了したときに1加算し、常にリード・ポインタの値から1減算した値を出力するブリービース・リード・ポインタと、ライト・ポインタの値とリード・ポインタの値の一致によりメモリのエンブティ状態を検出するエンブティ・フ

ラグ作成回路と、ライト・ポインタの値とブリービース・リード・ポインタの値の一致によりメモリのフル状態を検出するフル・フラグ作成回路と、ライト・ポインタの値をデコードしたアドレスへのみデータの書き込みを許可するライト・ポインタ・デコーダと、リード・ポインタの値をデコードしたアドレスからのデータを選択するデータ・セクタとから構成したものであり、簡単な回路構成によりメモリのフル/エンブティ状態を検出することができ、しかも内部にエラー状態を持つことがない。

【0006】本発明の請求項2の発明は、請求項1の発明において、データ・セクタがデコードする対象を、メモリがエンブティ状態である場合に限っては、ブリービース・リード・ポインタに変更するものであり、エンブティ状態にあるメモリを読み出すと前回読み出したのと同じデータが出力される。

【0007】本発明の請求項3の発明は、請求項1または請求項2の発明において、外部から与えられる書き込み信号の前縁でフル・フラグ作成回路の出力をラッチし、それがフル状態を示していない場合、書き込み信号の後縁で1加算するライト・ポインタを備えたものであり、加算するか否かの判定を、一定時間前にラッチした値を用いて行うので、判定が安定しライト・ポインタが誤動作することがない。

【0008】本発明の請求項4の発明は、請求項1または請求項2の発明において、外部から与えられる読み出し信号の前縁でエンブティ・フラグ作成回路の出力をラッチし、それがエンブティ状態を示していない場合、前記読み出し信号のリード・クロックの後縁で1加算するリード・ポインタおよびブリービース・リード・ポインタを備えたものであり、加算するか否かの判定を、一定時間前にラッチした値を用いて行うので、判定が安定しリード・ポインタもしくはブリービース・リード・ポインタが誤動作することがない。

【0009】本発明の請求項5の発明は、請求項1、2、3または請求項4の発明において、ライト・ポインタおよびリード・ポインタおよびブリービース・リード・ポインタをグレイ・コード・カウンタにより構成したものであり、エンブティ・フラグ作成回路の出力もしくはフル・フラグ作成回路の出力にグリッチを生じることがない。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について、図2から図8を用いて説明する。

【0011】（実施の形態1）図2は本発明の非同期FIFO回路の一実施の形態を示す図である。図2において、22は後述するメモリ23からデータを読み出す際のアドレスを示すリード・ポインタであり、Nビットのカウンタから構成され、データの読み出しが完了すると、メモリ23がエンブティ状態（以下、単にエンブティ

ィと略記する）でない場合1加算する。（ $2^N - 1$ ）から1加算する場合は、0に戻る。このため、リード・ポインタ22の値は常に次の読み出しアドレスを示している。

【0012】28はブリービース・リード・ポインタであり、リード・ポインタ22と同様、Nビットのカウンタから構成され、データの読み出しが完了すると、エンブティでない場合1加算する。（ $2^N - 1$ ）から1加算する場合は、0に戻る。ただし初期状態において、リード・ポインタ22が0にリセットされるのに対し、ブリービース・リード・ポインタ28は（ $2^N - 1$ ）にリセットされるので、ブリービース・リード・ポインタ28の値は常にリード・ポインタ22が示すアドレスの1つ手前のアドレスを示す。

【0013】22bはリード・ポインタ・セクタであり、後述するエンブティ・フラグ作成回路25aがEMPTY信号を出力したとき、すなわちエンブティの場合は、ブリービース・リード・ポインタ28の出力を選択し、エンブティでない場合はリード・ポインタ22の出力を選択する。22cはリード・ポインタ・デコーダであり、リード・ポインタ・セクタ22bの出力をデコードして、メモリ23からデータを読み出す際の選択信号REN0～REN7（以下、これらの信号を一括してRENと表記する）を出力する。

【0014】21はメモリ23へデータを書き込む際のアドレスを示すライト・ポインタであり、Nビットのカウンタから構成され、データの書き込みが完了すると、メモリ23がフル状態（以下、単にフルと略記する）でない場合1加算する。（ $2^N - 1$ ）から1加算する場合は、0に戻る。このため、ライト・ポインタ21の値は常に次の書き込みアドレスを示している。

【0015】21cはライト・ポインタ・デコーダであり、ライト・ポインタ21の出力をデコードして書き込み許可信号WEN0～WEN7（以下、これらの信号を一括してWENと表記する）を出力し、メモリ23の所定のアドレスにデータを書き込み可能とする。

【0016】23はメモリであり、本実施の形態では、8ワードのデータを記憶するメモリが示されている。8 =  $2^3$ であるから、本実施の形態はN = 3の場合である。

【0017】24は8対1セクタであり、メモリ23に記憶されたデータの内、リード・ポインタ・デコーダ22cが出力する選択信号RENにより特定のアドレスのデータを選択し、読み出しデータとして外部に出力する。

【0018】25aはエンブティ・フラグ作成回路であり、ライト・ポインタ21の値とリード・ポインタ22の値を比較し両者一致した場合、すなわち書き込まれたが読まれていない（以下、未読と表記する）データが無い場合、EMPTY信号を出力する。これはエンブティ

を示す。

【0019】25bはフル・フラグ作成回路であり、ライト・ポインタ21の値とブリービース・リード・ポインタ28の値を比較し両者一致した場合、すなわち未読データが $(2^n - 1)$ 個存在する場合、FULL信号を出力する。これはフルを示す。

【0020】次に図2の実施の形態の動作を説明する。書き込みデータWDATAとともに、外部から与えられる

【0021】

【外1】

#### 書き込み信号WR

【0022】が入力されると、それらはメモリ23を構成する各ワードに共通して与えられる。

【0023】ライト・ポインタ・デコーダ21cはライト・ポインタ21の出力をデコードして、書き込み許可信号WENをメモリ23に与える。これにより、書き込みデータWDATAはライト・ポインタ21が示すアドレスに書き込まれる。データの書き込みが完了すると、ライト・ポインタ21は、次のデータ書き込み位置を指示するため、フルでない限り、1加算する。

【0024】ここで、フルの場合に

【0025】

【外2】

#### 書き込み信号WR

【0026】が入力されたとしても、ライト・ポインタが示すアドレスはブリービース・リード・ポインタ28が示すアドレスに等しく、既に読み出しを終えたアドレスであるから、未読データを破壊することがない。そのため、特開平6-28840号公報に記載のあるような、ライト・ポインタ・デクリメンタやライト・ポインタ・セレクタを設ける必要がない。ライト・ポインタ・デコーダにWENを出力させないような構成を取る必要もない。

【0027】次に、外部から与えられる

【0028】

【外3】

#### 読み出し信号RD

【0029】が入力されると、エンブティでない場合は、リード・ポインタ・セレクタ22bはリード・ポインタ22の出力を選択し、リード・ポインタ・デコーダ22cに出力する。

【0030】リード・ポインタ・デコーダ22cは、リード・ポインタ・セレクタ22bに選択されたリード・ポインタ22の出力をデコードし、8対1セレクタ24に与える。その結果、8対1セレクタ24はリード・ポインタ22が示すアドレスのデータを選択し、読み出しデータRDATAとして外部に出力する。データの読み出しが完了すると、リード・ポインタ22は、次のデータ読み出し位置を指示するため、1加算する。同時に

ブリービース・リード・ポインタ28も1加算する。

【0031】エンブティの場合に

【0032】

【外4】

#### 読み出し信号RD

【0033】が入力されると、リード・ポインタ22の出力に代わってブリービース・リード・ポインタ28の出力がデコードされるので、メモリ23の前回読み出されたアドレスが再び読み出される。エンブティの場合には、リード・ポインタ22もブリービース・リード・ポインタ28も1加算されず、現在の値を維持する。

【0034】一方、エンブティ・フラグ作成回路25aは常にライト・ポインタ21とリード・ポインタ22の一致検出を行っており、未読データが無くなると両ポインタの値が一致するので、EMPTY信号を出力する。リード・ポインタ22はEMPTY信号を

【0035】

【外5】

#### 読み出し信号RD

【0036】によりラッチし、リード・ポインタ・セレクタ22bに与える。

【0037】ところで、リード・ポインタ・セレクタ22bを配し、常にリード・ポインタ22の出力をリード・ポインタ・デコーダ22cに与えることで、エンブティの場合に

【0038】

【外6】

#### 読み出し信号RD

【0039】が入力されると、未定義データが読み出しデータRDATAとして出力されるようにもできる。

【0040】図3はエンブティ・フラグ作成回路25a、フル・フラグ作成回路25bを構成する一致検出回路の一例を示す回路図である。本実施の形態は $N=3$ の場合であるから、3個のXNORゲート(30~32)を持つ。A0~A2にはライト・ポインタ21を構成する3ビットを入力する。B0~B2には、エンブティ・フラグ作成回路25aにおいてはリード・ポインタ22を構成する3ビットを入力し、フル・フラグ作成回路25bにおいてはブリービース・リード・ポインタ28を構成する3ビットを入力して、各ビットごとに一致検出を行った上でANDゲート39で論理積を取る。特開平6-28840号公報に記載のあるような、 $2^n$ 個のフリップフロップは必要ない。

【0041】なお、図3に示す一致検出回路では、入力ビットのうち複数が同時に変化した時に出力にグリッチを生じる場合がある。このグリッチの発生を抑制するには、ライト・ポインタ21、リード・ポインタ22およびブリービース・リード・ポインタ28をグレイ・コード・カウンタで構成すれば良い。

【0042】図7は2進カウンタとグレイ・コード・カ

ウンタの出力の差異を、 $N=3$ の場合について示す図であり、同図(a)は2進カウンタの出力を示す図、同図(b)はグレイ・コード・カウンタの出力を示す図である。1加算を繰り返し行っていく中で、2進カウンタの出力は2ビット同時に変化する場合があるが、グレイ・コード・カウンタの出力は常に1ビットしか変化しない。こういうグレイ・コード・カウンタの構成方法に関しては、公知であるので説明を省略する。また、ライト・ポインタ21、リード・ポインタ22にグレイ・コード・カウンタを用いた場合でも、ライト・ポインタ・デコーダ21c、リード・ポインタ・デコーダ22cの構成は、ライト・ポインタ21、リード・ポインタ22に2進カウンタを用いた場合と同じ構成で構わない。

【0043】図4はライト・ポインタ21、リード・ポインタ22およびブリーピマス・リード・ポインタ28の動作タイミングを示す図であり、同図(a)はライト・ポインタ21の動作タイミングを示す図、同図(b)はリード・ポインタ22およびブリーピマス・リード・ポインタ28の動作タイミングを示す図である。本実施の形態のライト・ポインタ21は、同図(a)に示すように、

【0044】

【外7】

#### 書き込み信号 $\overline{WR}$

【0045】の立ち下がりでフル・フラグ作成回路25bが出力するFULL信号をラッチし、そのラッチした値が0であれば、

【0046】

【外8】

#### 書き込み信号 $\overline{WR}$

【0047】の立ち上がりで1加算する。

【0048】同様に、リード・ポインタ22およびブリーピマス・リード・ポインタ28は、同図(b)に示すように、

【0049】

【外9】

#### 読み出し信号 $\overline{RD}$

【0050】の立ち下がりでエンブティ・フラグ作成回路25aが出力するEMPTY信号をラッチし、そのラッチした値が0であれば、

【0051】

【外10】

#### 読み出し信号 $\overline{RD}$

【0052】の立ち上がりで1加算する。

【0053】以上のように、FULL信号、EMPTY信号がラッチされた後に、データの書き込み、読み出しが行われ、データの書き込み、読み出しが終了した後に、ライト・ポインタ21、リード・ポインタ22およびブリーピマス・リード・ポインタ28を1加算するので、書き込み動作中にライト・ポインタが動くことはな

く、読み出し動作中にリード・ポインタもしくはブリーピマス・リード・ポインタが動くこともないから、書き込み動作、読み出し動作を安定して行うことができる。また、書き込み中に読み出し、あるいは、読み出し中に書き込みがあっても、正常に書き込み、読み出しを行うことができる。

【0054】図5はメモリ23を構成する各ワード内の1ビット分の一例を示す図であり、同図において、51は2対1セレクタであり、書き込み許可信号 $\overline{WEN}$ が1の時には入力Aを選択し、0の時には入力Bを選択して出力する。

【0055】52はDフリップフロップであり、メモリ23内のすべてのビットに共通の

【0056】

【外11】

#### 書き込み信号 $\overline{WR}$

【0057】が入力されたとき入力Dに加わる信号が出力Qにセットされる。同図において、書き込みデータWDATAが入力されたとき、書き込み許可信号 $\overline{WEN}$ が1であれば、2対1セレクタ51はWDATAを選択してDフリップフロップ52のD入力に出力し、

【0058】

【外12】

#### 書き込み信号 $\overline{WR}$

【0059】が入力されたタイミングで、書き込みデータWDATAがDフリップフロップ52の出力Qにセットされる。

【0060】一方、書き込み許可信号 $\overline{WEN}$ が0のとき、2対1セレクタ51はDフリップフロップ52の出力Qを選択して入力Dに出力するので、

【0061】

【外13】

#### 書き込み信号 $\overline{WR}$

【0062】が入力されたタイミングで、Dフリップフロップ52の出力Qに再び同じ値がセットされる。

【0063】図6はメモリ23への書き込みタイミングを示す図である。書き込むアドレスを示すライト・ポインタ21は前回の書き込みの終了時に1加算された時点で確定しており、ライト・ポインタ・デコーダ21cを通ることにより $\overline{WEN}$ に遅延が発生しても、

【0064】

【外14】

#### 書き込み信号 $\overline{WR}$

【0065】が新たに立ち下がるまでに $\overline{WEN}$ が確定し、次いで

【0066】

【外15】

#### 書き込み信号 $\overline{WR}$

【0067】が立ち上がる時点で、メモリ23への書き込みが行われる。

【0068】以上説明したように、本実施の形態においては、ライト・ポインタ21、リード・ポインタ22、ブリーピマス・リード・ポインタ28、および、それらの値の一致検出を行うことによりエンブティ、フルを検出するエンブティ・フラグ作成回路25a、フル・フラグ作成回路25bとを備えた非同期FIFO回路において、書き込みアドレスは前回の書き込みの終了時点で、読み出しアドレスは

【0069】

【外16】

読み出し信号RD

【0070】の前縁でそれぞれ確定し、書き込み動作中、読み出し動作中に変化することはないので、フルの場合、エンブティの場合、どちらでもない場合のいずれであっても、誤動作することなく確実に動作する。

【0071】また、FULL信号、EMPTY信号を

【0072】

【外17】

書き込み信号WR、読み出し信号RD

【0073】の立ち下がりでラッチし、ライト・ポインタ21、リード・ポインタ22およびブリーピマス・リード・ポインタ28の1加算は

【0074】

【外18】

書き込み信号WR、読み出し信号RD

【0075】の立ち上がりで行っているので、

【0076】

【外19】

書き込み信号WR、読み出し信号RD

【0077】の幅の分だけ、ラッチされた信号の確定時間を確保できるために、ライト・ポインタ21、リード・ポインタ22およびブリーピマス・リード・ポインタ28の1加算動作は安定して行われる。

【0078】ここで、本発明の実施の形態図2を簡略表現した図1を用いて、特開平6-28840号公報による先行例よりも大幅に構成が簡単であることを説明する。両者対応する部分には、特開平6-28840号公報に記載の基本構成図と同じ符号を付与する。図1において、ライト・ポインタ1、リード・ポインタ2、リード・ポインタ・セクタ4、ライト・ポインタ・レコード5、メモリ6、データ・セクタ7、エンブティ・フラグ作成回路8a、フル・フラグ作成回路8b、ブリーピマス・リード・ポインタ12は、それぞれ図2におけるライト・ポインタ21、リード・ポインタ22、リード・ポインタ・セクタ22b、ライト・ポインタ・レコード21c、メモリ23、リード・ポインタ・デコード22cと8対1セクタ24とを結合したもの、エンブティ・フラグ作成回路25a、フル・フラグ作成回路25b、ブリーピマス・リード・ポインタ28に対応する。先行例ではライト・ポインタ1とリード・ポインタ

2の両方、もしくはフル/エンブティフラグ作成回路8a、8bに、2<sup>N</sup>個のフリップフロップを必要とするジョンソン・カウンタを用いるのに対して、本発明ではライト・ポインタ1、リード・ポインタ2、ブリーピマス・リード・ポインタ12のそれぞれに、N個のフリップフロップを必要とする2進カウンタもしくはグレイ・コード・カウンタを用いれば十分であるので、Nが大きい場合の規模の差は歴然としている。また、本発明ではジョンソン・カウンタを用いないので、自己回復不能なエラー状態が内部に生じることがない。従って、先行例においては必要なポインタ・エラー検出回路9が不要である。

10

【0079】なお、本実施の形態においてはブリーピマス・リード・ポインタ28は独立したNビットのカウンタを用いて構成したが、リード・ポインタ22の出力を入力とする1減算回路によっても構成できる。

【0080】また図8のように、リード・ポインタ22の出力を受けるシフトレジスタ構造とし、リード・ポインタ22の前の値をラッチするようにして、ブリーピマス・リード・ポインタ28を構成することもできる。

【0081】

【発明の効果】以上説明したことから明らかなように、本発明においては、上記のような構成としたので、次の効果を得ることができる。

① メモリがフル状態の場合、エンブティ状態の場合、どちらでもない場合のいずれであっても、データの書き込み、読み出しが誤動作することなく確実に行われる。

② データの書き込み中にデータの読み出しがあっても、またデータの読み出し中にデータの書き込みがあっても、正常にデータを書き込み、読み出すことができる。

③ 簡単な回路により、メモリのフル状態、エンブティ状態を検出することができる。

④ 2<sup>N</sup>ワードのアドレスを持つメモリに対してN個のフリップフロップで構成されるカウンタを複数個持てば十分であって、2<sup>N</sup>個のフリップフロップを備える必要がない。

⑤ エラー検出回路、エラー・リセット回路を設ける必要がない。

⑥ フル状態での書き込みを抑制する必要がなく、未読データが破壊されることもない。

【図面の簡単な説明】

【図1】本発明の基本構成図

【図2】本発明の一実施の形態である非同期FIFO回路の全体構成を示す図

【図3】エンブティ・フラグ作成回路、フル・フラグ作成回路を構成する一致検出回路の一例を示す回路図

【図4】ライト・ポインタ、リード・ポインタ、ブリーピマス・リード・ポインタの動作タイミングを示す図

50

【図5】メモリを構成する各ワードの中の1ビット分の



一例を示す図

【図6】メモリへの書き込みタイミングを示す図

【図7】2進カウンタとグレイ・コード・カウンタの出力の差異を示す図

【図8】ブリーピマス・リード・ポインタの構成例を示す図

【符号の説明】

- 1、21 ライト・ポインタ
- 2、22 リード・ポインタ
- 4、22b リード・ポインタ・セクタ
- 5、21c ライト・ポインタ・デコーダ
- 6、23 メモリ

\* 7 データ・セクタ

8a、25a エンプティ・フラグ作成回路

8b、25b フル・フラグ作成回路

12、28 ブリーピマス・リード・ポインタ

22c リード・ポインタ・デコーダ

24 8対1セクタ

30 XNORゲート(1)

31 XNORゲート(2)

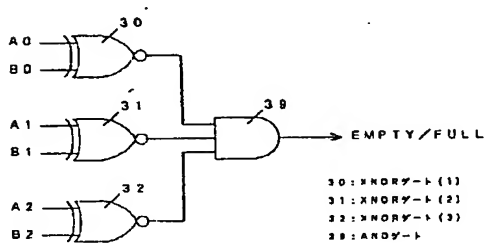
32 XNORゲート(3)

10 39 ANDゲート

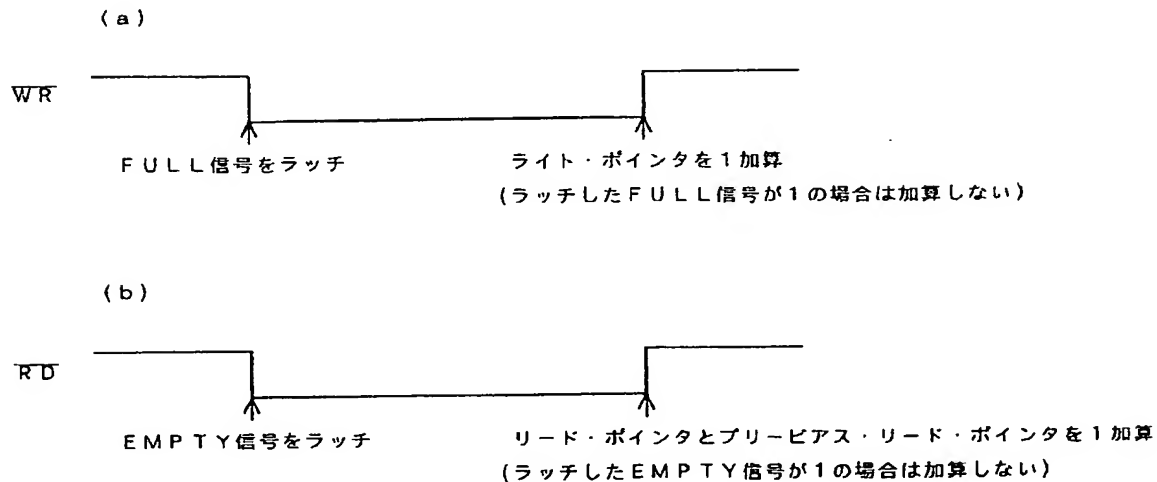
51 2対1セクタ

\* 52 Dフリップフロップ

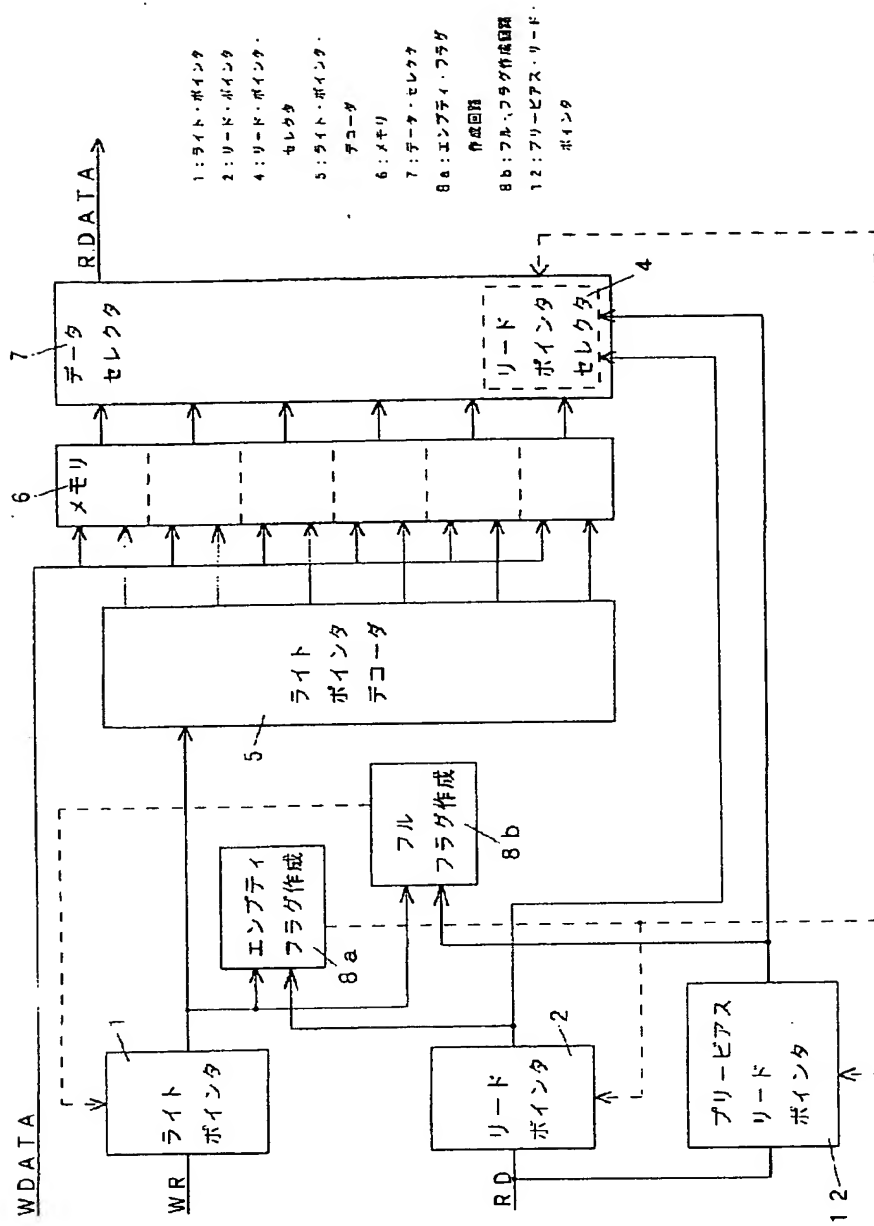
【図3】



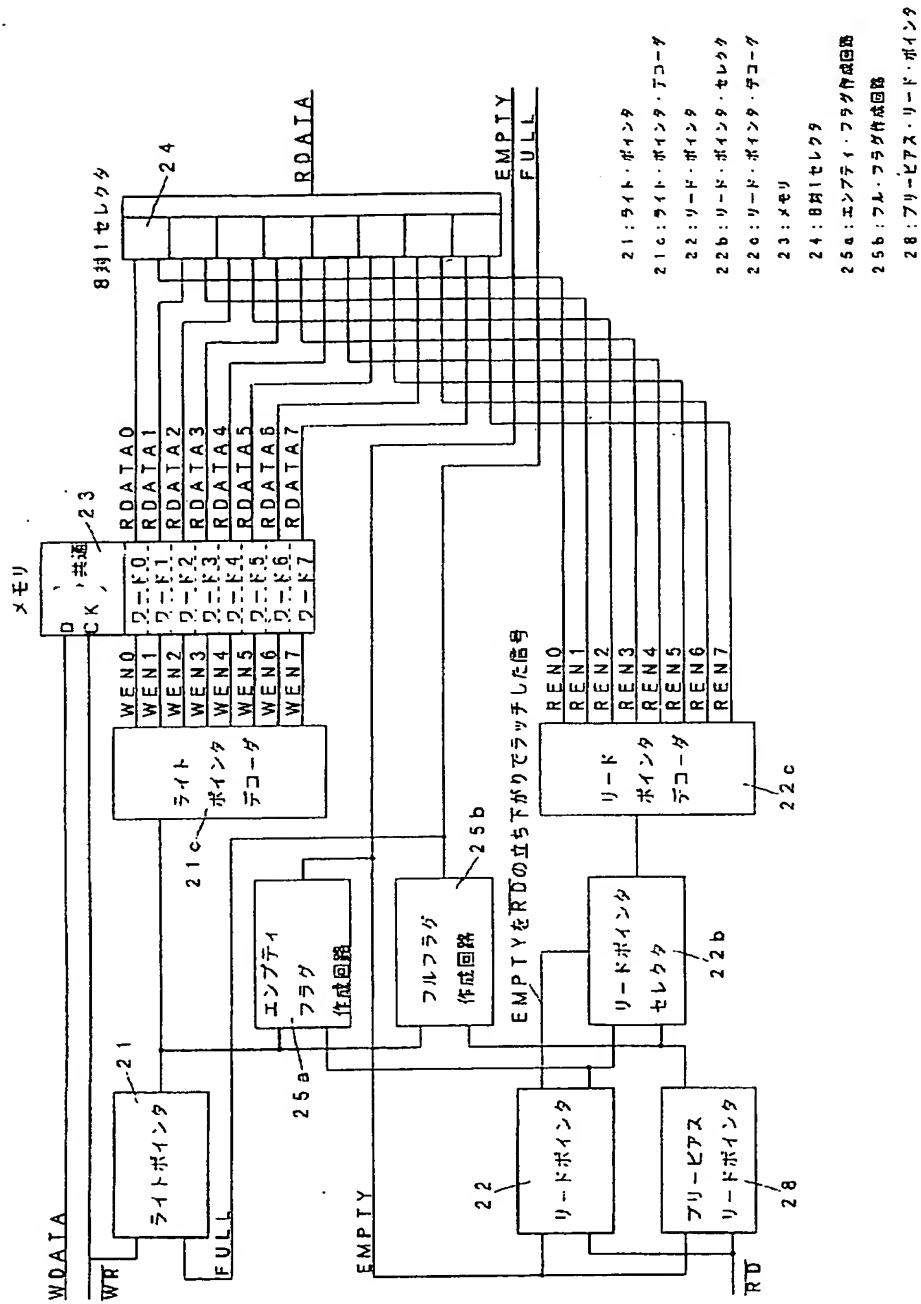
【図4】



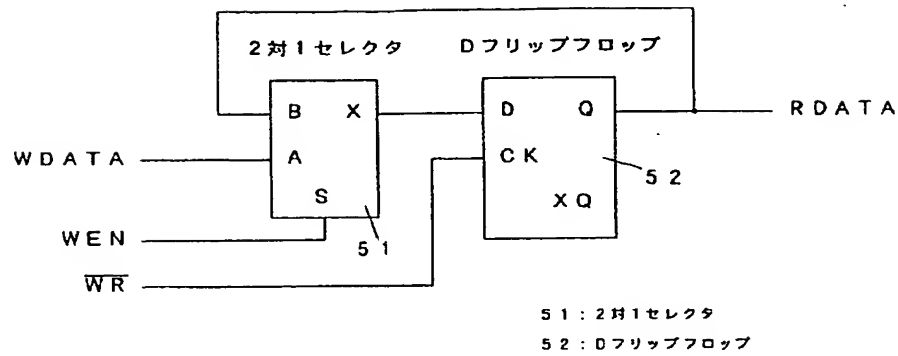
8a: エンブティ・フラグ  
作成回路  
8b: フル・フラグ作成回路  
12: プリービース・リード・  
ポインタ



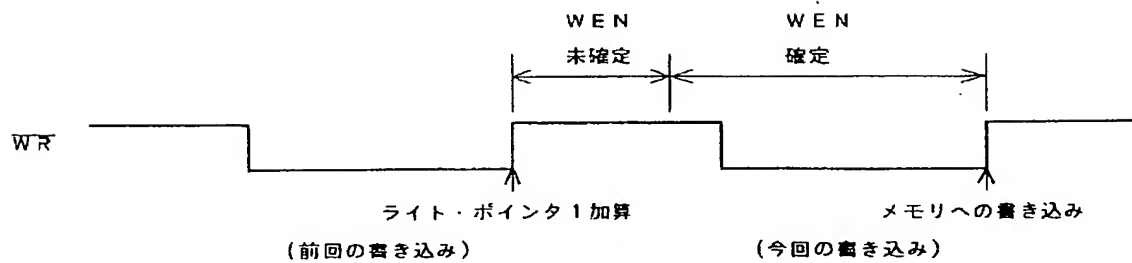
【図2】



【図5】



【図6】



【図7】

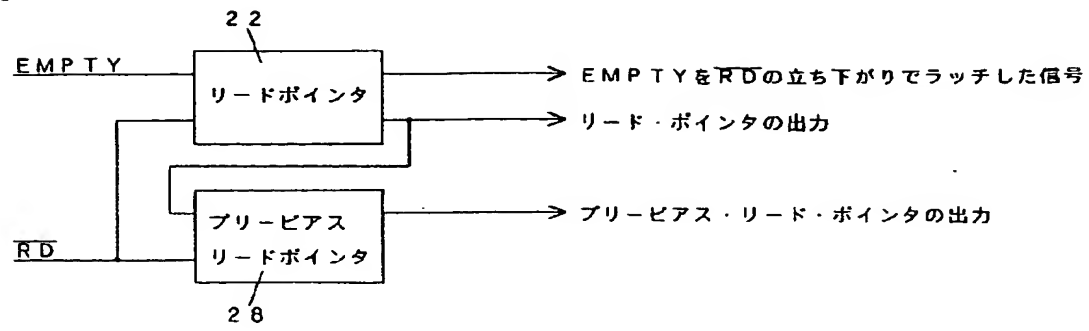
(a) 2進カウンタ

0:	000
1:	001
2:	010
3:	011
4:	100
5:	101
6:	110
7:	111

(b) グレイ・コード・カウンタ

0:	000
1:	001
2:	011
3:	010
4:	110
5:	111
6:	101
7:	100

【図8】



22 : リードポインタ

28 : ブリービース・リードポインタ